

CMP1057 - Arquitetura de Computadores I

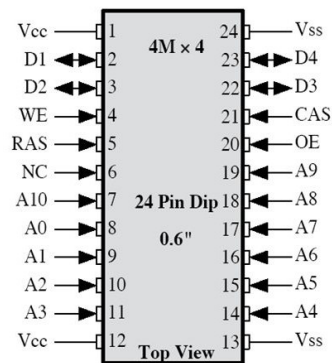
Lista de Exercícios - Memória Interna

Max Gontijo de Oliveira

1. Discorra sobre quais são as diferenças entre DRAM e SRAM sob os seguintes aspectos:

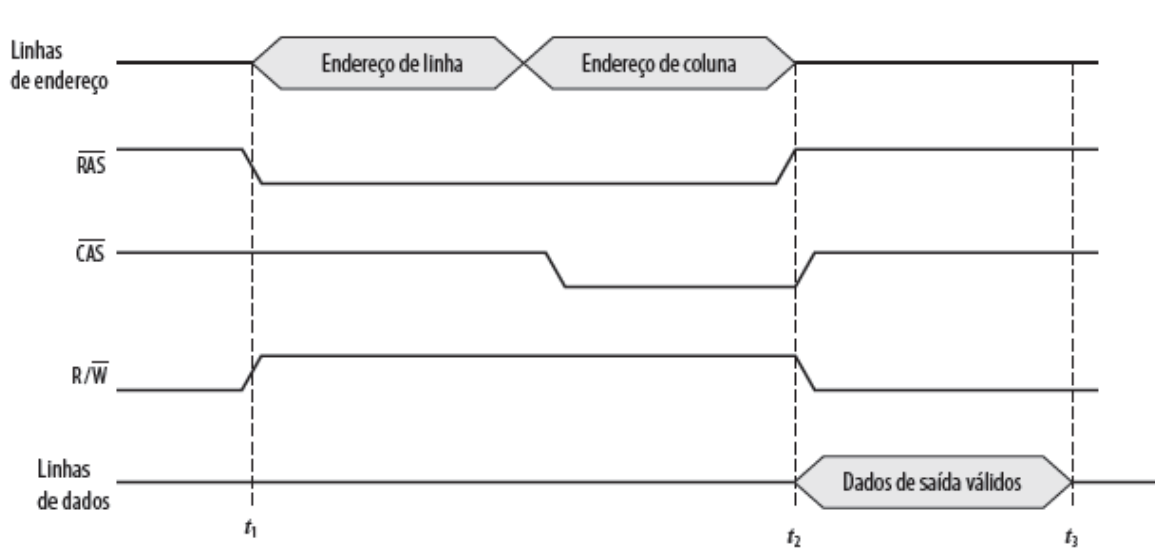
- Tecnologia (modelagem dos circuitos em nível de célula)
- Tamanho/capacidade/densidade
- Custo
- Velocidade
- Armazenamento da informação de forma analógica ou digital
- Aplicações

2. Explique a função de cada pino da figura a seguir:



16Mbit DRAM

3. Explique porque os circuitos de *refresh* são fundamentais para o funcionamento das memórias RAM.
4. Considere o seguinte diagrama de temporização que simplifica uma operação de leitura em uma DRAM:



O tempo de acesso é dado pelo tempo de endereçamento (t_1 à t_2). Após o endereçamento, a informação é disponibilizada e a unidade de memória precisa ser recarregada (t_2 à t_3), de modo que nesse intervalo, a memória não poderá ser acessada novamente.

- (a) Considerando que o tempo de acesso é de 60ns e o tempo de recarga é de 40ns, qual é o tempo de ciclo de memória (t_1 à t_3) desse chip DRAM? Supondo que esse chip tenha apenas um bit de saída, qual é a taxa de transferência?

- (b) Se construirmos um sistema de memória utilizando esses chips, qual será a taxa de transferência desse sistema de memória?
5. Apresente um projeto simplificado de um módulo de chips de memória DRAM que utilize 8 chips de 128MB (Megabytes) cada para compor um total de 1GB (Gigabytes). No projeto, mostre como as linhas de endereço são mapeadas e utilizadas no módulo. Mostre, também, o buffer de memória e as linhas de dados que chegam a esse buffer. Considere que cada palavra (e o próprio buffer de memória) tenha o tamanho de 1 byte. Considere, ainda, que cada chip tenha apenas **um** pino para dados e que tenha metade dos pinos necessários para compor um endereço no chip (ou seja, efetua multiplexação dos pinos de endereço na forma de acesso por meio de endereçamento de linha e endereçamento de coluna).
 6. Apresente um projeto simplificado de um módulo de chips de memória DRAM que utilize 8 chips de 64MB (Megabytes) cada para compor um total de 512MB (Megabytes). No projeto, mostre como as linhas de endereço são mapeadas e utilizadas no módulo. Mostre, também, o buffer de memória e as linhas de dados que chegam a esse buffer. Considere que cada palavra (e o próprio buffer de memória) tenha o tamanho de 1 byte. Considere, ainda, que cada chip tenha **dois** pinos para dados e que tenha metade dos pinos necessários para compor um endereço no chip (ou seja, efetua multiplexação dos pinos de endereço na forma de acesso por meio de endereçamento de linha e endereçamento de coluna).
 7. Considere a demanda de criação de um módulo de chips com capacidade total de 16MB (Megabytes) de memória DRAM. Considere que, para criar esse módulo, estarão disponíveis apenas chips de $16M \times 1$ bit (cada chip tem apenas um pino de dados). Apresente um projeto simplificado desse módulo. No projeto, mostre como as linhas de endereço são mapeadas e utilizadas no módulo. Mostre, também, o buffer de memória e as linhas de dados que chegam a esse buffer. Considere que cada palavra (e o próprio buffer de memória) tenha o tamanho de 1 byte. Considere, ainda, que cada chip tenha metade dos pinos necessários para compor um endereço no chip (ou seja, efetua multiplexação dos pinos de endereço na forma de acesso por meio de endereçamento de linha e endereçamento de coluna).
 8. Considere a demanda de criação de um módulo de chips com capacidade total de 8MB (Megabytes) de memória DRAM. Considere que, para criar esse módulo, estarão disponíveis apenas chips de $4M \times 1$ bit (cada chip tem apenas um pino de dados). Apresente um projeto simplificado desse módulo. No projeto, mostre como as linhas de endereço são mapeadas e utilizadas no módulo. Mostre, também, o buffer de memória e as linhas de dados que chegam a esse buffer. Considere que cada palavra (e o próprio buffer de memória) tenha o tamanho de 1 byte. Considere, ainda, que cada chip tenha metade dos pinos necessários para compor um endereço no chip (ou seja, efetua multiplexação dos pinos de endereço na forma de acesso por meio de endereçamento de linha e endereçamento de coluna).
 9. Considere a demanda de criação de um módulo de chips com capacidade total de 32MB (Megabytes) de memória DRAM. Considere que, para criar esse módulo, estarão disponíveis apenas chips de $16M \times 2$ bits (cada chip tem dois pinos de dados e um total de 32Mbits). Apresente um projeto simplificado desse módulo. No projeto, mostre como as linhas de endereço são mapeadas e utilizadas no módulo. Mostre, também, o buffer de memória e as linhas de dados que chegam a esse buffer. Considere que cada palavra (e o próprio buffer de memória) tenha o tamanho de 1 byte. Considere, ainda, que cada chip tenha metade dos pinos necessários para compor um endereço no chip (ou seja, efetua multiplexação dos pinos de endereço na forma de acesso por meio de endereçamento de linha e endereçamento de coluna).
 10. Considere um sistema de memória com palavra M de 8 bits que utilize o código de Hamming para correção de erro em 1 bit. Para cada palavra a seguir, apresente o código de Hamming K . Apresente, também, a palavra de 12 bits gerada (com os bits de paridade nos seus devidos lugares).
 - (a) $M = 01101011$
 - (b) $M = 11111111$

- (c) $M = 11110001$
(d) $M = 00000000$
(e) $M = 11010111$
11. Considere um sistema de memória com palavra M de 8 bits que utilize o código de Hamming para correção de erro em 1 bit. Considere que as sequências de 12 bits a seguir foram armazenadas na memória como resultado de uma palavra e seu código de Hamming gerados. Para cada uma dessas sequências, mostre a palavra M de 8 bits armazenada e o código de Hamming K armazenado. Em seguida, verifique se as informações previamente armazenadas estão corretas. Caso haja algum erro, indique se o erro se encontra na palavra M ou no código de Hamming K . Caso o erro seja na palavra M , efetue a correção e apresente o valor da palavra corrigido. Caso não seja possível corrigir, indique isso também.
- (a) 011001011100
(b) 110101110111
(c) 111100001111
(d) 001000000010
(e) 110110111110
12. Considere que cada uma das sequências da questão 11 se referem aos bits de palavra e código de Hamming de, respectivamente, cada uma das palavras da questão 10. Verifique se as correções realizadas na questão 11 foram corretamente efetuadas.
13. Considere, agora, que as palavras da questão 10 foram armazenadas em um sistema com verificação de erro em dois bits. Assim, um quinto bit de paridade seria adicionado ao código de Hamming. Considere, portanto, que esse bit seja adicionado na posição mais significativa de cada sequência da questão 11. Assim, para cada uma dessas novas sequências de 13 bits, verifique se o erro em dois bits agora pode ser identificado, porém não pode ser corrigido.
- (a) 1011001011100
(b) 0110101110111
(c) 0111100001111
(d) 0001000000100
(e) 1100110111110
14. Explique o que difere as DRAMs das SDRAMs (DRAM síncrona). Explique ainda como as memórias DDR conseguem se aproveitar dessa característica para serem mais rápidas.